

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenl gungsschrift**
⑩ **DE 197 45 856 A 1**

⑤1 Int. Cl.⁶:
H 01 L 21/8242

②1 Aktenzeichen: 197 45 856.4
②2 Anmeldetag: 16. 10. 97
④3 Offenlegungstag: 22. 4. 99

DE 197 45 856 A 1

⑦1 Anmelder:
United Microelectronics Corp., Hsinchu, TW

⑦4 Vertreter:
Betten & Resch, 80469 München

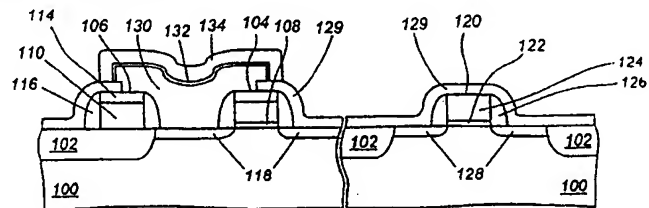
⑦2 Erfinder:
Sun, Shih-Wei, Taipei, TW; Yew, Tri-Rung,
Chu-Tung, TW

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Dielektrika mit hoher Dielektrizitätskonstante für eingebettete DRAMs

⑤7 Eine integrierte Schaltungskomponente, die sowohl eine Matrix aus Logikschaltungen als auch eingebettete DRAM-Schaltungen enthält, wird unter Verwendung eines Prozesses geschaffen, der eines der größten Fertigungsprobleme bei der Integration eingebetteter DRAMs vermeidet. Für die eingebetteten DRAM-Schaltungen werden Übertragungs-FETs (104) und Verdrahtungsbahnen (106) vorgesehen, ferner werden für die Logikabschnitte der Komponente FETs (120) vorgesehen. Auf der Oberfläche der Komponente wird eine dünne, konforme Oxidschicht (129) ausgebildet, um während der Bildung der Ladungsspeicherkondensatoren Abschnitte der Komponente zu schützen. Nach einer Maskenätzung wird über der dünnen Schutzoxidschicht eine ebene untere Kondensatorelektrode (130) geschaffen, die mit den Source- bzw. Drainbereichen der Übertragungs-FETs in Kontakt ist. Dann wird nach der Bildung einer oberen Kondensatorelektrode (134) die Schutzoxidschicht von den Logikschaltungen entfernt. Da die Schutzoxidschicht dünner und gleichmäßiger als im Stand der Technik ist, kann dieser Ätzschritt einfacher ausgeführt werden, ohne die FETs der Logikschaltung zu beschädigen. Dann kann ein herkömmlicher Salicidprozeß ausgeführt werden.



DE 197 45 856 A 1

Die vorliegende Erfindung betrifft das Gebiet der integrierten Schaltungskomponenten und insbesondere integrierte Schaltungskomponenten, die sowohl eine Matrix aus Speicherzellen als auch eine Matrix aus Logikschaltungen auf einem einzelnen Chip oder Substrat enthalten.

Für einige Datenverarbeitungsanwendungen ist es wünschenswert, integrierte Schaltungskomponenten zu schaffen, die auf demselben Chip sowohl Matrizen aus Speicherzellen als auch Matrizen aus Hochgeschwindigkeitslogikschaltungen wie etwa jene, die typischerweise in Mikroprozessoren oder in digitalen Signalprozessoren verwendet werden, enthalten. Es kann z. B. wünschenswert sein, eine Matrix aus Zellen eines dynamischen Schreib-Lese-Speichers in der integrierten Schaltungskomponente auszubilden, um für die Logikschaltungen der integrierten Schaltungskomponente einen vergleichsweise sehr schnellen Zugriff auf einen erheblichen Teil des Datenspeichers zu ermöglichen. Anwendungen, die die Ausbildung solcher eingebetteter DRAMs nutzen können, umfassen Logikschaltungen, die große Datenmengen verarbeiten, etwa Graphikprozessoren. Die Ausbildung sowohl sehr schneller Logikschaltungen als auch eingebetteter DRAMs auf demselben Chip erfordert, daß gewisse Aspekte des Fertigungsflusses für die Herstellung des Chips der Bildung der Logikschaltungen gewidmet werden und daß andere Aspekte der Bildung der Speicherzellen gewidmet werden. Die Fig. 5 bis 8 veranschaulichen einen Teil des Fertigungsflusses, der für die Ausbildung eingebetteter DRAMs auf einer integrierten Schaltungskomponente, die Hochgeschwindigkeitslogikschaltungen enthält, verwendet werden könnte.

Fig. 5 zeigt einen Ausschnitt einer integrierten Schaltungskomponente, die sowohl eingebettete DRAMs als auch eine Matrix aus Logikschaltungen enthält, in einer Fertigungszwischenstufe. Auf der linken Seite der gezeigten Komponente befindet sich eine beispielhafte DRAM-Zelle, die einen Teil einer DRAM-Matrix bildet, während sich auf der rechten Seite der gezeigten Komponente ein beispielhafter Logik-FET befindet, der einen Teil einer Logikschaltung bildet. Typischerweise wären andere Schaltungen für die Ausführung von Eingabe/Ausgabe-Funktionen (E/A-Funktionen) für die integrierte Schaltungskomponente enthalten, die jedoch hier nicht gezeigt sind. Die eingebettete DRAM-Zelle enthält, wenn sie fertiggestellt ist, einen mit einem Ladungsspeicherkondensator gekoppelten Übertragungs- oder Übermittlungs-FET. Der Übertragungs-FET wirkt als Schalter, um die untere Elektrode des Ladungsspeicherkondensators wahlweise an eine Bitleitung anzuschließen, so daß Daten entweder vom Ladungsspeicherkondensator gelesen oder in diesem gespeichert werden können. Der eingebettete DRAM und die Logikschaltungen der integrierten Schaltungskomponente sind auf einem einzelnen Siliciumsubstrat 10 gebildet, das typischerweise wenigstens eine Oberflächenschicht aus P-Material besitzt. Je nach Anforderung sind auf der Komponentenoberfläche Komponentenisolationsbereiche 12 vorgesehen. Die gezeigten Komponentenisolationsbereiche 12 können Feldoxidbereiche, die in einem modifizierten Prozeß einer lokalen Oxidation von Silicium (LOCOS) gebildet werden können, oder Komponenten mit Flachgrabenisolation (STI-Komponenten) sein, die aus Gräben bestehen, die durch chemische Abscheidung aus der Dampfphase (CVD) mit Oxid gefüllt sind. Der gezeigte Querschnitt der eingebetteten DRAM-Zelle enthält einen Abschnitt durch einen Übertragungs-FET 14 und durch eine angrenzende Verdrahtungsbahn 16. Die Verdrahtungsbahn 16 ist typischerweise eine Verlängerung der Gateelektroden für angrenzende DRAM-Zellen und besitzt daher nahezu die

gleiche Struktur wie die Gateelektrode 14. Der Hauptunterschied zwischen der Gateelektrode 14 und der Verdrahtungsbahn 16 ist das Vorhandensein einer Gateoxidschicht 18 in der Gateelektrode 14, die diese vom aktiven Bereich des Substrats 10 trennt. Unter der gezeigten Verdrahtungsbahn ist keine Gateoxidschicht ausgebildet, da die Verdrahtungsbahn über dem gezeigten Feldoxidbereich 12 angeordnet ist. In einer frühen Fertigungsstufe wird eine Abdeckoxidschicht 24 ausgebildet, um die Gateelektrode 14 und die Verdrahtungsbahn 16 zu schützen. Beiderseits der Gateelektrode und der Verdrahtungsbahn sind Oxidabstandhalterstrukturen 26 vorgesehen, die typischerweise durch eine CVD-Oxidabscheidung, gefolgt von einem Rückätzprozeß, hergestellt werden. Die Oxidabstandhalterstrukturen 26 schaffen einen seitlichen Schutz für die Gateelektrode und für die Verdrahtungsbahn während der Fertigung und könnten außerdem zur Bildung schwach dotierter Drainstrukturen (LDD-Strukturen) für die Source- und Drainbereiche der Übertragungs-FETs verwendet werden. Durch selbstausrichtende Ionenimplantation von N-Dotierstoffen beiderseits der Gateelektrode 14 werden Source- und Drainbereiche 28 gebildet, um den Übertragungs-FET fertigzustellen.

Teile der Logikschaltung, die in den Fig. 5 bis 8 schematisch auf der rechten Seite gezeigt sind, werden nahezu gleichzeitig mit der Bildung der Übertragungs-FETs der DRAM-Matrix gebildet. In Abhängigkeit von Entwurfsvorgaben können manche Fertigungsschritte für den Fertigungsprozeß des eingebetteten DRAM und für den Fertigungsprozeß der Logikschaltung gemeinsam genutzt werden, alternativ können vollständig verschiedene Prozesse für die Fertigung des DRAM und der Logikschaltungen verwendet werden. Der beispielhafte FET 30 der Logikschaltung ist auf einer Gateoxidschicht 32 gebildet und enthält eine Polysilicium-Gateelektrode 34. Es wird allgemein bevorzugt, in der gezeigten Stufe des Fertigungsprozesses über der Polysilicium-Gateelektroden-schicht 34 keine Silicidschicht auszubilden. Statt dessen wird allgemein bevorzugt, einen selbstausrichtenden Silicid-Prozeß ("Salicid"-Prozeß) zu verwenden, um die FETs der Logikschaltung in einer späteren Stufe des Fertigungsprozesses herzustellen. Beiderseits der Gateelektrode 34 werden Oxidabstandhalter 38 ausgebildet und typischerweise für die Definition einer LDD-Struktur für die Source- und Drainbereiche 40 der Logik-FETs verwendet.

Nach der Bildung der FETs für die DRAM-Matrix und das Logik-Array wird typischerweise über dem gesamten Substrat 10 eine dicke Oxidschicht 42 ausgebildet. Die Oxidschicht wird mit ausreichender Dicke abgelagert, um einerseits die verschiedenen Elementstrukturen abzudecken und um andererseits eine ausreichende Dicke für die Einebnung der Oxidschicht 42 zu schaffen. Die Einebnung der Oxidschicht 42 ist wichtig für die Verbesserung der Prozeßtoleranz bei den späteren Photolithographie- und Ätzschritten, die zur Bildung des Ladungsspeicherkondensators ausgeführt werden. Nach der Bildung der eingeebneten Oxidschicht wird durch die eingeebnete Oxidschicht hindurch ein Durchgangsloch 44 ausgebildet, um den Source- oder Drainbereich 28 freizulegen, an den der Ladungsspeicherkondensator der gezeigten DRAM-Zelle angeschlossen werden soll. In das Durchgangsloch 44 wird dotiertes Polysilicium eingebracht, um eine vertikale Zwischenverbindung 46 zwischen dem Source- oder Drainbereich 28 und der unteren Elektrode 48 des Ladungsspeicherkondensators auszubilden. Die untere Elektrode 48 des Ladungsspeicherkondensators ist typischerweise aus mehreren Schichten aus dotiertem Polysilicium gebildet. Für die in modernen Prozessen typischerweise angewendeten Entwurfsregeln ist es wichtig, für die untere Elektrode 48 des Kondensators eine

dreidimensionale Kronen- oder Feinstruktur zu schaffen, so daß eine ausreichende Oberfläche vorhanden ist, um für den Kondensator eine ausreichende Ladungsspeicherkapazität zu schaffen. Eine solche Kronen- oder Feinstruktur ist notwendig, um sicherzustellen, daß der Ladungsspeicherkondensator der DRAM-Zelle ausreichend viel Ladung speichert, um Datenlese- und Datenschreiboperationen zu erleichtern, und um sicherzustellen, daß die gespeicherte Ladung im Ladungsspeicherkondensator während einer annehmbaren Zeitdauer verbleibt, ohne daß eine Auffrischoperation erforderlich ist. Die Bildung des Ladungsspeicherkondensators wird fortgesetzt durch die Ausbildung eines aus der als ONO bekannten Dreischichtstruktur (Oxid/Nitrid/Oxid-Struktur) bestehenden Kondensatordielektrikums 50 über der unteren Kondensatorelektrode 48. Eine obere Elektrode 52 wird durch die Schaffung einer weiteren Schicht aus dotiertem Polysilicium gebildet, die in einer für DRAM-Matrizen herkömmlichen Weise bemustert ist. Der vollständige Ladungsspeicherkondensator ist in Fig. 6 gezeigt.

Nach der Fertigstellung des Ladungsspeicherkondensators wird über der Komponente von Fig. 6 eine Maske wie etwa eine Photoresist-Maske 54 ausgebildet, um die eingebettete DRAM-Matrix abzudecken und um die Oxidschicht 42 über dem Logik-Array freizulegen. Dann wird eine Ätzung ausgeführt, um die dicke Oxidschicht 42 von oberhalb der Logikschaltung zu entfernen, was die in Fig. 7 gezeigte Struktur ergibt. Die Fertigung für den Logik-FET 30 wird fortgesetzt, um über der Gateelektrode 34 eine Silicidschicht 66 zu bilden und um über den Source- und Drainbereichen 40 eine Silicidschicht 68 zu bilden. Die Silicidschichten 66 und 68 reduzieren den spezifischen elektrischen Widerstand und den Kontaktwiderstand der Gateelektrode und der Source- und Drainbereiche. Typischerweise werden die Silicidschichten in einem selbstausrichtenden Prozeß ("Salicid"-Prozeß) gebildet, in dem auf der freigelegten Polysilicium-Gateelektrode und den freigelegten Source- und Drainbereichen aus Silicium eine Schicht aus einem hochschmelzenden Metall wie etwa Titan abgelagert wird. Dann wird ein erstes Glühen ausgeführt, um einen Teil der abgelagerten Metallschicht in ein Metallsilicid umzuwandeln. Anschließend wird eine Ätzung ausgeführt, um den verbleibenden Anteil des Metalls, der nicht reagiert hat, zu entfernen, woraufhin ein zweites Glühen ausgeführt wird, um den niedrigen spezifischen elektrischen Widerstand der Metallsilicidschichten 66 und 68 auf der Gateelektrode und den Source- und Drainbereichen zu erzielen. Daraufhin ist die Fertigung der integrierten Schaltungskomponente, die sowohl eine Logikschaltung als auch eine eingebettete DRAM-Schaltung enthält, abgeschlossen.

Bisher ist die Ausbildung eines eingebetteten DRAM in Logikschaltungen einer integrierten Schaltungskomponente für die Steigerung der Leistung der Logikschaltungen und der Komponente als Ganzes ein teurer Prozeß gewesen, der die Ausbeute von gewünschten integrierten Schaltungskomponenten erheblich reduziert hat.

Der Erfindung liegt die Aufgabe zugrunde, einen verbesserten Prozeß für die Bildung eingebetteter DRAM-Strukturen zu schaffen.

Diese Aufgabe wird erfindungsgemäß gelöst durch ein Verfahren zum Herstellen einer integrierten Schaltungskomponente, die sowohl einen eingebetteten DRAM als auch Logikschaltungen auf einem einzigen Substrat enthält, das die in den unabhängigen Ansprüchen angegebenen Merkmale besitzt. Die abhängigen Ansprüche sind auf zweckmäßige Ausführungsformen der Erfindung gerichtet.

Bei dem in den Fig. 5 bis 8 gezeigten Prozeß zur Herstellung eines herkömmlichen eingebetteten DRAM sind viele

verschiedene Fertigungsbeschränkungen vorhanden. Der Prozeß, der für die Freilegung der FETs der Logikschaltung nach der Bildung des DRAM-Kondensators verwendet wird, d. h. der Prozeß, der die Oxidschicht 42 beseitigt und die Struktur von Fig. 6 in die Struktur von Fig. 7 überführt, stellt eine besondere Problemquelle dar. Die Oxidschicht 42 besitzt eine große Dicke, um den gewünschten Einebnungsgrad zu erzielen und um die verschiedenen Speicher- und Logikschaltungen während der für die Bildung der Kronen- oder Feinstruktur des Ladungsspeicherkondensators verwendeten Ätzschritte ausreichend zu schützen. Wegen der großen Dicke der Oxidschicht 42 stellt ihre Entfernung von den Logikschaltungen einen langandauernden Ätzprozeß dar. Die Länge, über die sich die Polysilicium-Gateelektrode 34 über die Source- und Drainbereiche 40 des Substrats erstreckt, kann ungefähr 2000 Å betragen, sie kann aber ebenso 4000–5000 Å betragen. Die Ätzung zur Entfernung der Oxidschicht 42 muß daher einerseits durch das über der Gateelektrode befindliche Oxid hindurch und andererseits durch ein über den Source- und Drainbereichen befindliches Oxid mit größerer Dicke hindurch erfolgen. Der Ätzprozeß muß solange fortgesetzt werden, bis die Source- und Drainbereiche freiliegen, so daß die Wirkung der Ätzung der Oxidschicht 42 über der Gateelektrode länger als notwendig andauert. Daher führt der Ätzprozeß unvermeidlich zu einem Verlust von Polysilicium der Gateelektrode und zu einer Beschädigung der Gateelektrode durch den Plasmaätzprozeß. Es ist festgestellt worden, daß der Polysiliciumverlust und die Beschädigung der Gateelektrode die Leistung und die Ausbeute der Logikschaltungen in integrierten Schaltungskomponenten mit eingebettetem DRAM verschlechtert.

Eine Alternative für den langwierigen Ätzprozeß, der verwendet wird, um die leitenden Abschnitte der Logik-FETs der in Fig. 7 gezeigten Logikschaltungen freizulegen, ist die Bildung der Logik-FET-Schaltungen vor der Ausbildung des Ladungsspeicherkondensators. Beispielsweise könnten die FETs der Logikschaltung fertiggestellt werden, bevor die dicke Oxidschicht 42 über der Struktur von Fig. 5 vorgesehen wird, wodurch der Bedarf an der Ausführung einer Ätzung für die Freilegung der Gate-, Source- und Drainbereiche des FET zur gleichen Zeit beseitigt wird. Diese Strategie kann jedoch nicht verfolgt werden. Die Herstellung der FETs der Logikschaltung erfordert nämlich, daß die Silicidschichten 66 und 68 auf der Gateelektrode 34 bzw. auf den Source- und Drainbereichen 40 vorgesehen werden. Die in diesen Silicidschichten 66 und 68 vorhandenen Metalle diffundieren jedoch während der Hochtemperaturfertigungsschritte typischerweise schnell durch das Silicium. Solche Hochtemperaturfertigungsschritte sind aber bei der Bildung der DRAM-Ladungsspeicherkondensatoren erforderlich, weil der Nitridabscheidungsprozeß und der nachfolgende Oxidationsprozeß zur Bildung des ONO-Kondensatordielektrikums typischerweise erfordern, daß die Struktur längere Zeit Temperaturen von mehr als 700°C ausgesetzt wird. Solche Hochtemperaturprozesse können für die Silicidschichten 66 und 68 viele Probleme erzeugen und können die FETs 30 der Logikschaltung funktionsunfähig machen. Daher ist eine andere Strategie notwendig, um die Prozeßausbeute für die in den Fig. 5 bis 8 gezeigten Strukturen zu verbessern.

Zweckmäßige Ausführungsformen der Erfindung schaffen eine integrierte Schaltungskomponente, die sowohl Logikschaltungen als auch eingebettete DRAM-Schaltungen enthält, indem ein Prozeß verwendet wird, der einige der erheblichsten Fertigungsprobleme bei der Integration eingebetteter DRAMs vermeidet. In diesen zweckmäßigen Ausführungsformen werden für den für die eingebetteten

DRAM-Schaltungen vorgesehenen Teil der Komponente in einem ersten Prozeß Übertragungs-FETs und Verdrahtungsbahnen gebildet, während für den für die Logikschaltungen vorgesehenen Teil die Logik-FETs gebildet werden. Über der Oberfläche der Vorrichtung wird eine dünne, konforme, d. h. an die darunter befindliche Struktur angeschmiegte, Schutzschicht ausgebildet, um die Übertragungs-FETs und die Logik-FETs abzudecken. Am meisten wird bevorzugt, daß die dünne, konforme Schutzschicht eine Oxidschicht mit einer Dicke von weniger als ungefähr 2000 Å ist, die mittels CVD abgelagert wird. Diese dünne, konforme Oxidschicht bleibt auf den Logikabschnitten der integrierten Schaltungskomponente zurück, um die Logikschaltungen während der Fertigung der Ladungsspeicherkondensatoren für die eingebetteten DRAM-Schaltungen zu schützen. Über den geeigneten Source- und Drainbereichen der Übertragungs-FETs wird eine Maske mit Öffnungen vorgesehen, wobei die Schutzoxidschicht entsprechend entfernt wird, um nur die erwünschten Source- und Drainbereiche frei zu legen. Durch die Schaffung einer ersten Schicht aus dotiertem Polysilicium über der dünnen Schutzoxidschicht, die mit den gewünschten der Übertragungs-FETs in Kontakt ist, wird eine Ebene oder im wesentlichen Ebene untere Kondensatorelektrode definiert. Die erste Schicht aus dotiertem Polysilicium wird bemustert, um die seitliche Erstreckung der unteren Kondensatorelektroden zu definieren. Zweckmäßig wird für die unteren Elektroden der eingebetteten DRAM-Ladungsspeicherkondensatoren keine Fein- oder Kronenstruktur ausgebildet. Die Kapazität, die für die Erzielung einer annehmbaren DRAM-Leistung erforderlich ist, wird nicht durch die typische dreidimensionale Fein- oder Kronen-Elektrodenstruktur des Kondensators, sondern statt dessen durch Verwendung eines Kondensatordielektrikums mit hoher Dielektrizitätskonstante erzielt. Beispielsweise könnten als Kondensatordielektrikum Tantalpentoxid oder Barium-Strontium-Titanat verwendet werden, um die erforderliche Kapazität für die Zellen der eingebetteten DRAM-Matrix zu schaffen. Aus einer zweiten Schicht aus dotiertem Polysilicium wird eine obere Kondensatorelektrode geschaffen, anschließend wird die dünne Schutzoxidschicht von den Logikschaltungen der Komponente entfernt. Da keine komplexe dreidimensionale Fein- oder Kronenstruktur oder eine andere derartige Struktur für den Ladungsspeicherkondensator ausgebildet werden muß, sind die Fertigungsanforderungen für die Ausbildung des Ladungsspeicherkondensators erheblich reduziert. Insbesondere ermöglicht die einfachere Struktur des Ladungsspeicherkondensators die Verwendung einer dünnen, konformen Oxidschicht als Schutzschicht anstatt der dicken, eingeebneten Oxidschicht, die herkömmlicherweise verwendet wird. Da die Schutzoxidschicht eine gleichmäßigere Dicke besitzt und dünner als eine Schicht ist, die erforderlich wäre, wenn eine komplexe Fein- oder Kronen-Elektrodenstruktur für den Kondensator verwendet würde, kann der Ätzschritt für die Entfernung der Schutzschicht einfacher ausgeführt werden, ohne die FETs der Logikschaltung zu beschädigen. Dann kann ein herkömmlicher Salicid-Prozeß verwendet werden, um die Bildung der FETs der Logikschaltungen der Komponente abzuschließen.

Besonders zweckmäßige Ausführungsformen der Erfindung erzielen eine verbesserte Ausbeute durch Reduzierung des Ausmaßes und durch Vergleichmäßigung des Ätzprozesses, der verwendet wird, um die FETs einer Logikschaltung nach der Bildung der Ladungsspeicherkondensatoren der eingebetteten DRAM-Matrix freizulegen. Diese Verbesserung beruht auf der Tatsache, daß die Oxidschutzschicht die gleiche, vergleichsweise geringe Dicke über der Gateelektrode und über den Source- und Drainbereichen besitzt.

Daher wird die Gesamtätzdauer kürzer, ferner wird die Gateelektrode der Ätzumgebung während einer kürzeren Zeitdauer ausgesetzt. Da die Oxidschicht erforderlich ist, um die Logik- und Speicher-FETs insbesondere während der Ätzung der Polysilicium-Kondensatorelektrode(n) zu schützen, kann diese Schutzoxidschicht je nach Selektivität der für die Entfernung des Polysiliciums verwendeten Ätzung eine Dicke in der Größenordnung von wenigen hundert Angström besitzen. Um jedoch gute Fertigungsspannen sicherzustellen, kann es wünschenswert sein, eine Schutzoxidschicht mit einer Dicke im Bereich von ungefähr 1000–2000 Å zu schaffen, in jedem Fall ist die Schutzoxidschicht aber gleichmäßiger und dünner als die Oxidschicht 42 von Fig. 5. Es ist wichtig, daß die Oberfläche der Schutzoxidschicht oder einer anderen Schutzschicht gemäß der Erfindung zur Oberfläche der Komponentenstrukturen in den Logikschaltungen konform ist, d. h. sich an diese Oberfläche eng anschmiegt. Obwohl die Gateelektrode 34 des Logik-FET der Ätzumgebung länger als die Source- und Drainbereiche 40 in dem in den Fig. 6 und 7 gezeigten Prozeß zum Ätzen der eingeebneten Oxidschicht 42 ausgesetzt ist, werden in zweckmäßigen Ausführungsformen der Erfindung die Gateelektrode und die Source- und Drainbereiche der Ätzumgebung zur Entfernung der Schutzschicht ungefähr während der gleichen Zeitspanne ausgesetzt. Dadurch werden der Polysiliciumverlust der Gateelektrode ebenso wie die Beschädigung der Gateelektrode durch eine Plasmaverarbeitung reduziert, ohne daß ähnliche Probleme für die Source- und Drainbereiche der Logik-FETs auftreten. Sowohl die Leistung der FETs der Logikschaltungen als auch die Ausbeute der integrierten Schaltungskomponenten mit eingebettetem DRAM werden verbessert.

Weitere Merkmale und Vorteile der Erfindung werden deutlich beim Lesen der folgenden Beschreibung zweckmäßiger Ausführungsformen, die auf die beigelegte Zeichnung Bezug nimmt; es zeigen:

Fig. 1–4 Darstellungen zur Erläuterung der Schritte eines Prozesses gemäß einer zweckmäßigen Ausführungsform der Erfindung zum Herstellen einer integrierten Schaltungskomponente mit eingebettetem DRAM; und

Fig. 5–8 die bereits erwähnten Darstellungen zur Erläuterung der Schritte eines herkömmlichen Prozesses zum Herstellen einer integrierten Schaltungskomponente mit eingebettetem DRAM.

Die Erfindung wird nun mit Bezug auf die Fig. 1 bis 4, in denen ein besonderes Beispiel einer Verarbeitungsschaltung gezeigt ist, die auf einem einzelnen Chip einen eingebetteten DRAM, eine Hochgeschwindigkeitslogikschaltung und je nach Anforderung eine E/A-Schaltungsanordnung, die mit höheren Spannungen als die Logikschaltung arbeiten kann, genauer beschrieben.

Derartige E/A-Schaltungen mit höherer Betriebsspannung sind wünschenswert, wenn die Logikschaltungen der integrierten Schaltungskomponente mit einer reduzierten internen Betriebsspannung arbeiten, jedoch die integrierte Schaltungskomponente als Ganzes mit externen Schaltungen verbunden sein muß, die mit höheren Spannungen arbeiten oder mit höheren Strömen angesteuert werden müssen. Die Bildung der E/A-Schaltungen, die für die gezeigte integrierte Schaltungskomponente vorgesehen werden müssen, ist nicht dargestellt, da innerhalb des Kontexts der Erfindung die Bildung der E/A-Schaltungen im allgemeinen mit einem ähnlichen Verfahren erfolgt, das für die Herstellung der erläuterten Logikschaltungen verwendet wird.

Auf der linken Seite in den Fig. 1 bis 4 sind verschiedene Stufen der Bildung einer Zelle einer eingebetteten DRAM-Matrix dargestellt, während auf der rechten Seite der Fig. 1 bis 4 verschiedene Stufen der Bildung eines Logik-FET dar-

gestellt sind, der für eine Hochgeschwindigkeitslogikschaltung charakteristisch ist. In den gezeigten Ausführungsformen sind der eingebettete DRAM und die Logikschaltungen auf der P-Oberfläche eines Substrats **100** ausgebildet, die mit Flachgrabenisoliationsstrukturen **102** versehen ist. Die Flachgrabenisoliationsbereiche **102** werden um die Komponenten sowohl der eingebetteten DRAM-Schaltungen als auch der Logikschaltungen durch Ätzen von Gräben in das Substrat **100** und durch anschließendes Befüllen der Gräben mit einem Oxid unter Verwendung des Verfahrens der chemischen Abscheidung aus der Dampfphase (CVD-Verfahren) ausgebildet. Ferner werden in der Anfangsphase der Fertigung der dargestellten Komponente viele verschiedene Implantationen einschließlich Feldimplantationen, Antidurchbruch-Implantationen und Implantationen zum Bilden von P-Wannen- und N-Wannen-Bereichen für NMOS-, PMOS- und CMOS-Schaltungen in den Logik- und E/A-Schaltungen ausgeführt.

Nach den verschiedenen vorbereitenden Fertigungsschritten werden die Gateoxidschichten und die Gateelektroden der FETs der verschiedenen DRAM-, Logik- und E/A-Schaltungen geschaffen. Es ist möglich, daß die Verarbeitungsschritte, die bei der Bildung der FETs in diesen verschiedenen Schaltungen verwendet werden, unterschiedlich sind, um unterschiedliche Betriebseigenschaften zu schaffen, die für jede dieser Schaltungen zweckmäßig sind. Es könnte beispielsweise wünschenswert sein, die verschiedenen FETs mit verschiedenen Betriebsspannungen, verschiedenen Schaltcharakteristiken und verschiedenen Verlustcharakteristiken zu versehen. Die FETs der Logikschaltungen könnten so beschaffen sein, daß sie einen Hochgeschwindigkeits- und Niedrigleistungsbetrieb ausführen, was niedrige Betriebsspannungen von ungefähr 1,8–2,5 V und eine Gateoxiddicke von ungefähr 40 Å erfordern würde. Die E/A-Schaltungen könnten höhere Betriebsspannungen von ungefähr 3,3 V und höhere Treiberströme besitzen, was erleichtert wird, wenn eine Zwischengateoxiddicke von ungefähr 75 Å vorgesehen ist. Schließlich könnten die Übertragungs-FETs der Matrix aus eingebetteten DRAM-Zellen so beschaffen sein, daß sie einen geringen Verlust besitzen, indem sie eine Gateoxidschicht mit einer Dicke von ungefähr 100 Å oder mehr besitzen. Die Schaffung dieser unterschiedlichen Dicken der Gateoxide kann durch verschiedene herkömmliche Prozesse erzielt werden, die bewirken, daß das Substrat in den verschiedenen Abschnitten der Komponente einer thermischen Oxidationsumgebung für unterschiedlich lange Zeitdauern ausgesetzt ist. Da Gateoxidschichten in verschiedenen Abschnitten der integrierten Schaltungskomponente ausgebildet werden, ist es zweckmäßig, daß die Gateoxidschichten durch Ablagerung von Polysilicium auf den neu gebildeten Gateoxidschichten geschützt sind. Zweckmäßig ist diese Polysiliciumschicht in die Gateelektroden für die Übertragungs-FETs in den Bereichen des eingebetteten DRAM und in den Logikschaltungsabschnitten für die Logik-FETs der integrierten Schaltungskomponente eingebaut.

Die Bildung des Übertragungs-FET **104** und der Verdrahtungsbahn **106** des auf der linken Seite von Fig. 1 gezeigten eingebetteten DRAM beginnt mit der Ablagerung einer Polysiliciumschicht bis zu einer Dicke im Bereich von ungefähr 1500 bis ungefähr 3500 Å über der Gateoxidschicht **108**. Die Polysiliciumschicht wird durch Ionenimplantation und Glühen mit einem N-Dotierstoff dotiert. In manchen Fällen kann es wünschenswert sein, eine Schicht aus einem Metallsilicid wie etwa Titansilicid auf der Oberfläche der Polysiliciumschicht zu schaffen, die in die Gateelektroden der Übertragungs-FETs des eingebetteten DRAM bemustert wird, um den spezifischen elektrischen Widerstand der

Gateelektroden und der Verdrahtungsbahnen weiter zu reduzieren. Da der Salicidprozeß in die Übertragungs-FETs einen Verlust einführen würde, wird die Silicidschicht durch Ablagerung mittels Katodenzerstäubung oder mittels CVD erzeugt, wobei auf den Source- und Drainbereichen der Übertragungs-FETs kein Silicid vorgesehen wird. Abhängig von der Art der späteren Wärmeprozessschritte kann es tatsächlich zweckmäßig sein, auf den Gateelektroden keine Silicidschicht vorzusehen, um die Diffusion von Metallen durch die Gateelektroden zu begrenzen. Einfachheitshalber ist diese optionale Titansilicid-Schicht in der Zeichnung nicht gezeigt. Über der Polysiliciumschicht ist bis zu einer Dicke von beispielsweise 500–3000 Å eine Schutzoxidschicht vorgesehen. Die Oxidabdeckschicht schützt die Gateelektroden und die Verdrahtungsbahnen der eingebetteten DRAM-Matrix vor einer Beschädigung durch die Verarbeitung in den nachfolgenden Ätz- und Implantationsschritten. Auf der Mehrschichtstruktur wird eine Bemusterung ausgeführt, um Polysiliciumbahnen **110** für die Übertragungs-FETs **104** und die Verdrahtungsbahnen **106** zu schaffen. Die Polysiliciumbahnen **110** werden durch ähnliche Oxidschichten **114** bedeckt. Die Source- und Drainbereiche **118** werden typischerweise beiderseits der Gateelektroden vorgesehen, um die Übertragungs-FETs fertigzustellen. In den meisten modernen Geometrien für eingebettete DRAMs besitzen die Source- und Drainbereiche einen gleichmäßigen und geringen N-Dotierungsgrad, der durch eine auf die Gateelektrode selbstausrichtende Implantation geschaffen wird. Typischerweise werden höhere Dotierungsgrade in Verbindung mit der Verwendung von LDD-Strukturen wegen der damit einhergehenden Beschädigung des Substrats durch die Implantation, die einen Verlust hervorrufen kann, vermieden. Beiderseits der Gateelektroden und der Verdrahtungsbahnen werden während der nachfolgenden Prozesse Oxidabstandhalterstrukturen **116** ausgebildet, um einen weiteren Schutz für die Gateelektroden **104** und die Verdrahtungsbahnen **106** zu schaffen und um eine Isolation zwischen den Leitern der unteren Kondensatorelektroden und der Gateelektroden und Verdrahtungsbahnen zu schaffen.

Im allgemeinen werden die Logik-FETs im wesentlichen gleichzeitig mit den Übertragungs-FETs der eingebetteten DRAM-Matrix gebildet. In Abhängigkeit von den zwischen den verschiedenen FETs eingeführten Unterschieden wie etwa unterschiedlichen Schwellenwertestellimplantationen, Gateelektroden-Dotierungsgraden und Source- und Drain-Dotierungsgraden und -profilen können einige der Prozessschritte, die für die Bildung der Logik-FETs verwendet werden, auch zur Bildung der Übertragungs-FETs der eingebetteten DRAM-Matrix und/oder zur Bildung der E/A-Schaltungen gemeinsam genutzt werden. Unabhängig von dem besonderen gewählten Fertigungsfluß werden die Logik-FETs **120** über den aktiven Bereichen des Substrats gebildet, indem zunächst eine geeignete Gateoxidschicht **122** ausgebildet wird. Dann wird Polysilicium abgelagert, dotiert und bemustert, um die Gateelektroden **124** zu bilden. Zweckmäßig wird auf der Polysilicium-Gateelektrode auf dieser Verarbeitungsstufe keine Silicidschicht vorgesehen, um die spätere Verwendung eines Salicid-Prozesses zu ermöglichen. Längs der Polysilicium-Gateelektroden **124** werden Oxidabstandhalterstrukturen **126** ausgebildet, um sowohl die Gateelektrode während der weiteren Verarbeitung zu schützen als auch die Bildung von LDD-Source- und -Drainbereichen **128** zu erleichtern. Typischerweise wird bevorzugt, die Source- und Drainbereiche **128** der Logik-FETs **120** unter Verwendung der LDD-Struktur zu bilden, um das Problem heißer Elektronen bei kleinen FETs zu lösen. Die Source- und Drainbereiche **128** werden dadurch gebildet, daß zunächst vor der Bildung der Oxidabstandhal-

terstrukturen 126 N-Ionen, die sich auf die Gateelektrode 124 selbst ausrichten, in einer vergleichsweise geringen Dosis implantiert werden. Dann werden die Oxidabstandhalterstrukturen 126 durch Ablagern einer CVD-Oxidschicht bis zu einer Dicke von ungefähr 1000–2000 Å geschaffen, wobei die Oxidschicht zurückgeätzt wird, um die Abstandhalterstrukturen 126 zu bilden. Dann wird eine zweite Implantation ausgeführt, die sich selbst auf die Abstandhalterstrukturen ausrichtet, um die Implantation der Source- und Drainbereiche 128 abzuschließen. Anschließend aktiviert ein Glühvorgang die Dotierstoffe in den Source- und Drainbereichen 128. Es ist selbstverständlich wahrscheinlich, daß die tatsächlichen Logikschaltungen, die gebildet werden sollen, viel komplexer als einzelne FETs sind. Beispielsweise enthalten viele derzeitige Logikschaltungen sowohl NMOS- als auch PMOS-Komponenten in verschiedenen Konfigurationen. Der dargestellte einzelne Logik-FET bildet jedoch eine angemessene Darstellung des Prozesses der Erfindung, so daß eine weitere Komplexität typischer Logikschaltungen hier nicht diskutiert wird.

Nach der Ausbildung der Übertragungs-FETs der eingebetteten DRAM-Matrix und der Logik-FETs werden über der eingebetteten DRAM-Matrix untere Kondensatorelektroden für die gezeigte Bitleitung ausgebildet. Als Vorstufe des Kondensatorbildungsprozesses wird sowohl über den eingebetteten DRAM-Schaltungen als auch über den Logikschaltungen eine Schicht 129 aus Schutzmaterial vorgesehen. Die Schutzschicht schafft ferner einen Schutz für die Übertragungs-FETs und die Verdrahtungsbahnen der eingebetteten DRAM-Matrix und schützt die Logikschaltungen einschließlich des Logik-FET 120 während des Kondensatorbildungsprozesses. Die wesentlichen Prozesse, vor denen die Logik-FETs geschützt werden, sind die Ätzprozesse, die verwendet werden, um die in den Kondensatorelektroden verwendeten Polysiliciumschichten seitlich zu definieren. Es ist wünschenswert, daß die Schutzschicht 129 als zuverlässige Ätzsperrschicht für Polysilicium-Ätzprozesse dient. Obwohl viele verschiedene Materialien verwendet werden könnten, ist eine besonders zweckmäßige Schutzschicht durch eine Oxidschicht gegeben, deren Dicke zwischen ungefähr 300 Å bis ungefähr 2000 Å liegt, da das Oxid als zuverlässige Ätzsperrschicht für die Polysiliciumätzung dienen kann und weil Oxide mit anderen Teilen des Fertigungsflusses kompatibel sind. Somit wird über den unterschiedlichen Abschnitten der Komponente eine Schicht eines CVD-Oxids 129 beispielsweise aus einem TEOS-Quellgas bis zu einer Dicke von ungefähr 300 bis ungefähr 1000 Å abgelagert. Anschließend wird über der Schutzoxidschicht 129 eine Maske gebildet, die verwendet wird, um die Kontaktöffnung zum Source- oder Drainbereich 118 zu definieren, an den die untere Kondensatorelektrode angeschlossen wird. Die Schutzoxidschicht 129 wird beispielsweise unter Verwendung eines Ätzmittels, das in einem Plasmaprozeß aus einem Fluor enthaltenden Quellgas wie etwa CF_4 erhalten wird, geätzt, um den gewünschten Source- oder Drainbereich freizulegen. Nachdem die Kontaktöffnung zum Source- oder Drainbereich 118 geöffnet ist, wodurch die in Fig. 1 gezeigte Komponente geschaffen ist, wird über dieser Komponente eine Schicht aus Polysilicium abgelagert. Zweckmäßig wird die Polysiliciumschicht bis zu einer Dicke von ungefähr 1500 bis ungefähr 3500 Å abgelagert und während der Ablagerung vor Ort mit N-Dotierstoff dotiert. Über der Polysiliciumschicht wird eine Maske vorgesehen, wobei die Polysiliciumschicht unter Verwendung beispielsweise eines Ätzmittels, das in einem Plasmaprozeß aus HCl- und HBr-Quellgasen erhalten wird, bemustert wird, um die seitliche Erstreckung der unteren Kondensatorelektroden 130 zu definieren. Dieser Ätzprozeß ist beson-

ders mit der Verwendung eines Oxids als Schutzschicht 129 kompatibel, weil das Oxid eine wirksame Ätzsperrschicht für diesen Polysilicium-Ätzprozeß ist. Ein weiterer Prozeß könnte entweder vor oder nach der Bemusterung der Polysiliciumschicht ausgeführt werden, um die Eigenschaften der Kondensatorelektrode zu verändern. Da besonders bevorzugt wird, daß der eingebettete DRAM-Ladungsspeicherkondensator ein Kondensatordielektrikum mit hoher Dielektrizitätskonstante enthält, kann es beispielsweise wünschenswert sein, wenigstens eine Oberfläche der unteren Kondensatorelektrode zu schaffen, die an die Verwendung mit dem gewünschten Kondensatordielektrikum mit hoher Dielektrizitätskonstante angepaßt ist. Es könnte beispielsweise wünschenswert sein, auf der Oberfläche der unteren Kondensatorelektrode eine Schicht aus Titan, Titanitrid oder Platin vorzusehen. In anderen Ausführungsformen könnte es wünschenswert sein, in der unteren Kondensatorelektrode kein dotiertes Polysilicium zu verwenden und statt dessen eine einzelne Schicht eines Leiters wie etwa Titanitrid als untere Kondensatorelektrode zu verwenden. Das gezeigte Beispiel verwendet jedoch einfach dotiertes Polysilicium als untere Kondensatorelektrode 130.

Als nächstes wird über der Oberfläche der unteren Ladungsspeicherkondensator-Elektrode 130 eine Schicht eines dielektrischen Kondensatormaterials 132 vorgesehen. In besonders zweckmäßigen Ausführungsformen der Erfindung werden ein dielektrisches Kondensatormaterial mit hoher Dielektrizitätskonstante wie etwa Tantalpentoxid, Barium-Strontium-Titanat, ein weiteres ähnliches Oxidmaterial oder andere Materialien mit hoher Dielektrizitätskonstante bevorzugt. Noch stärker bevorzugt besitzt die gewählte Kondensatordielektrikum-Schicht 132 eine Dielektrizitätskonstante "k", die erheblich höher, um einen Faktor von ungefähr 20 bis 25 oder mehr, als die effektive Dielektrizitätskonstante von ONO ist. In der gezeigten Ausführungsform wird in einem Prozeß der chemischen Abscheidung aus der Dampfphase (CVD-Prozeß) eine Kondensatordielektrikum-Schicht 132 aus Tantalpentoxid, Ta_2O_5 aus einem Quellgasgemisch aus $\text{Ta}(\text{OC}_2\text{H}_5)_5 + \text{O}_2$ abgelagert. Das Kondensatordielektrikum aus Tantalpentoxid könnte in einem Ablagerungssystem mit hoher Dichte wie etwa dem LAM-9800-Integritätssystem bis zu einer Dicke von ungefähr 20 bis ungefähr 140 Å abgelagert werden. Die für das Kondensatordielektrikum gewählte besondere Dicke ist zweckmäßig gering, um die sich ergebende Kapazität maximal zu machen, jedoch ausreichend dick, um sicherzustellen, daß die Kondensatordielektrikum-Schicht 132 keine unannehmbaren "Pin-Holes" oder eine unannehmbare Durchbruchspannung besitzt. Da die bevorzugte Tantalpentoxid-Schicht mittels CVD abgelagert wird, erstreckt sich die abgelagerte Kondensatordielektrikum-Schicht 132 über die gesamte Struktur. Gerade die Verwendung dieses Materials mit hoher Dielektrizitätskonstante ermöglicht die Verwendung einer in Fig. 2 gezeigten dünnen, konformen Oxidschicht als Schutzschicht 129 anstelle der dickeren, eingeebneten Oxidschicht 42, die in Fig. 6 gezeigt ist. Die Verwendung des Materials mit hoher Dielektrizitätskonstante ermöglicht die Verwendung einer einfachen und im wesentlichen ebenen unteren Kondensatorelektrode 130 wie etwa jene, die in Fig. 2 gezeigt ist, so daß die eingeebnete Oberfläche der Oxidschicht 42 in Fig. 6 für die Bildung einer komplexen Kondensatorelektrode nicht erforderlich ist.

Anschließend werden in zweckmäßigen Ausführungsformen der Erfindung obere Kondensatorelektroden gebildet, um die in Fig. 2 gezeigte Struktur zu schaffen. Wenn das bevorzugte Kondensatordielektrikum aus Tantalpentoxid verwendet wird, wird für die Bildung wenigstens der unteren Oberfläche der oberen Kondensatorelektrode zweckmäßig

Titannitrid (TiN) verwendet. Meist kann die gesamte obere Kondensatorelektrode aus Titannitrid gebildet werden, da Titannitrid eine hohe Leitfähigkeit besitzt. Am stärksten wird bevorzugt, Titannitrid auf dem Kondensatordielektrikum in einem Niedertemperaturprozeß abzulagern. Ein solcher Niedertemperaturprozeß ist zweckmäßig, weil die Kondensatordielektrika mit hoher Dielektrizitätskonstante, die in der Erfindung bevorzugt verwendet werden, typischerweise Sauerstoff als konstituierendes Element enthalten. Daher kann jeglicher Hochtemperaturprozeß die Bildung von Oxiden auf der Oberfläche der unteren Kondensatorelektrode 130 zur Folge haben. Jede derartige Oxidschicht erzeugt eine reduzierte Kapazität, die mit der durch das Material mit hoher Dielektrizitätskonstante geschaffenen Kapazität in Serie geschaltet ist, wodurch die Kapazität des DRAM-Ladungsspeicherkondensators unerwünscht reduziert würde. Daher wird die Titannitrid-Schicht zweckmäßig unter Verwendung eines Katodenzerstäubungsprozesses bei verhältnismäßig niedriger Substrattemperatur bis zu einer Dicke von 1000 Å oder weniger abgelagert, noch stärker wird bevorzugt, die Titannitridschicht in einem Prozeß der chemischen Abscheidung aus der Dampfphase (CVD-Prozeß) abzulagern. Titannitrid kann mittels CVD aus (TiCl₄ + NH₃)-Quellgasen bei vergleichsweise niedriger Substrattemperatur abgelagert werden. Der CVD-Prozeß hat gegenüber der Katodenzerstäubung den weiteren Vorteil, daß es durch ihn viel weniger wahrscheinlich ist, daß das Substrat während des Ablagerungsprozesses erwärmt wird. Selbstverständlich kann die obere Kondensatorelektrode in vielen Ausführungsformen statt dessen aus dotiertem Polysilicium gebildet sein. Welcher Leiter auch immer verwendet wird, in jedem Fall wird über der leitenden Schicht eine Maske vorgesehen, so daß die leitende Schicht geätzt werden kann, um die Erstreckung der oberen Kondensatorelektrode 134 in seitlicher Richtung zu definieren, um die in Fig. 2 dargestellte Struktur zu schaffen. Wenn als obere Kondensatorelektrode Titannitrid verwendet wird, kann zum Ätzen der oberen Kondensatorelektrode ein Ätzmittel verwendet werden, das in einem Plasmaprozeß aus einem Cl₂ enthaltenden Quellgas abgeleitet wird. Wenn Polysilicium verwendet wird, können für die seitliche Definition der oberen Kondensatorelektrode entweder ein Ätzmittel, das aus Cl₂ erhalten wird, oder ein Ätzmittel, das aus HDr und HCl erhalten wird, verwendet werden. Irgendeines dieser Ätzsysteme kann zusammen mit der Oxidschutzschicht, die als Ätzsperrschicht dient, verwendet werden.

Nach der Bildung der Ladungsspeicherkondensator-Elektrode wird auf den eingebetteten DRAM-Matrizen eine Maske ausgebildet, woraufhin die Schutzoxidschicht 129 von den obigen Logikschaltungen beispielsweise in einem Trockenätzprozeß unter Verwendung eines Ätzmittels, das in einem Plasmaprozeß aus einem CF₄-Quellgas abgeleitet wird, entfernt wird. Der Ätzprozeß wird fortgesetzt, um die Gateelektrode 124 und die Source- und Drainbereiche 128 freizulegen und zu reinigen. Anschließend wird auf den Logik-FETs ein Salicid-Prozeß ausgeführt, um Silicidschichten 140, 142 auf der Polysilicium-Elektrode 124 und auf den Source- und Drainbereichen 128 zu schaffen. Der Salicid-Prozeß beginnt Herstellen einer Schicht aus Titan auf der Oberfläche der Komponente bis zu einer Dicke von beispielsweise 500 Å mittels Katodenzerstäubung. Diese Titanschicht wird auf der Oberfläche der Polysilicium-Gateelektroden und auf den freiliegenden Abschnitten des Substrats einschließlich der Source- und Drainbereiche 128 in einem zweistufigen Glühprozeß in Titandilicid überführt. Im ersten Prozeßschritt wird die Komponente einem schnellen thermischen Glühen (RTA) durch Erhitzen der Komponente auf eine Temperatur bis zu ungefähr 700°C für ungefähr 30 Se-

kunden unterworfen. Dem ersten RTA-Prozeß folgt eine Ätzung, um Abschnitte der Titanschicht, die nicht reagiert haben, zu entfernen, so daß Titansilicid zurückbleibt, anschließend wird das Titansilicid in einem zweiten RTA-Prozeß weiterverarbeitet, um die gewünschte Form der Titansilicid-Schichten zu erhalten. Der erste RTA-Schritt des Prozesses wandelt die Titanschicht in Titansilicid (TiSi₂) um, wo die Titanschicht mit einer Siliciumoberfläche (kristallines oder polykristallines Silicium) während des Glühens in Kontakt ist. Über der Polysilicium-Gateelektrode 124 wird eine Schicht aus Titansilicid gebildet, außerdem werden über den Source- und Drainbereichen 128 Titansilicid-Schichten gebildet.

Nach dem ersten RTA-Schritt wird die Oberfläche der Komponente einer Naßätzung unterworfen, die aus H₂O₂ und NH₄OH, die in Wasser verdünnt sind, besteht, um das Titan, das nicht reagiert hat, und viele verschiedene unerwünschte Titanverbindungen von der Oberfläche der Komponente zu entfernen und um das Oxid 126 der Komponente freizulegen. Nachdem das Titan, das nicht reagiert hat, von der Komponente entfernt worden ist, ist eine weitere Verarbeitung notwendig, um geeignete Silicidschichten auf den Gateelektroden und über den Source- und Drainbereichen zu bilden. Das meiste Titansilicid, das auf den Siliciumoberflächen im obenbeschriebenen ersten Glühschritt gebildet wird (RTA bei ungefähr 700°C für 30 Sekunden), liegt in der metastabilen Phase mit verhältnismäßig hohem spezifischen elektrischen Widerstand (bekannt als "C-49"-Phase des Titansilicids) vor, das nicht den gewünschten niedrigen spezifischen elektrischen Widerstand besitzt. Daher ist es wünschenswert, die Komponente in einem zweiten Glühschritt bei einer Temperatur von mehr als 750°C für wenigstens 10 Sekunden freizulegen, um die C-49-Phase von Titansilicid mit höherem spezifischen elektrischen Widerstand in die orthogonale Phase (bekannt als "C-54"-Phase) von Titansilicid zu überführen. Durch Ausführen des Salicidprozesses für die Logik-FETs der beispielhaft eingebetteten DRAM-Logikschaltung beeinflussen die verhältnismäßig kurzen RTA-Prozesse, die für die Bildung der Silicidbereiche verwendet werden, die Kondensatordielektrikum-Schicht 132 nicht unannehmbar stark. Dann wird die integrierte Schaltungskomponente einem weiteren Prozeß unterworfen, der die Ausbildung einer Anzahl wohlbekannter Verbindungsstrukturen umfaßt, um die Fertigung abzuschließen.

Obwohl die Erfindung anhand einer konkreten zweckmäßigen Ausführungsform beschrieben worden ist, kann der Fachmann viele verschiedene Abwandlungen und Änderungen der hier beschriebenen Verfahren und Strukturen vornehmen, ohne die Lehren der vorliegenden Erfindung zu verlassen. Daher ist die Erfindung nicht auf irgendeine hier beschriebene besondere Ausführungsform eingeschränkt, vielmehr ist der Umfang der Erfindung nur durch die folgenden Ansprüche bestimmt.

Patentansprüche

1. Verfahren zum Herstellen einer integrierten Schaltungskomponente, die auf einem einzelnen Substrat sowohl einen eingebetteten DRAM als auch Logikschaltungen enthält, **gekennzeichnet durch** die folgenden Schritte:
Ausbilden eines Substrats (100) mit Übertragungs-FETs (104), die in und auf eingebetteten DRAM-Bereichen des Substrats (100) ausgebildet sind, sowie mit Logik-FETs (120), die in und auf Logikschaltungs-bereichen des Substrats (100) ausgebildet sind,
Ausbilden einer konformen Schutzschicht (129) über den Übertragungs-FETs (104) und über den Logik-

FETs (120), die über den Gateelektroden der Logik-FETs (120) und über den Source- und Drainbereichen (128) der Logik-FETs (120) im wesentlichen die gleiche Dicke besitzt,
 Entfernen eines Abschnitts der konformen Schutzschicht (129), um eine Kontaktöffnung zu bilden, die einen Source- oder Drainbereich (118) eines der Übertragungs-FETs (104) freilegt,
 Ausbilden einer unteren Kondensatorelektrode (130) in Kontakt mit dem Source- und Drainbereich (118) des einen Übertragungs-FET (104) und nacheinander Ausbilden einer Kondensatordielektrikum-Schicht (132) und einer oberen Kondensatorelektrode (134) über der unteren Kondensatorelektrode (130), um für den einen Übertragungs-FET einen Ladungsspeicherkondensator zu bilden, und
 Entfernen der konformen Schutzschicht (129) wenigstens von den Abschnitten der Logikschaltungsbereiche.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die untere Kondensatorelektrode (130) sich über einen verbleibenden Abschnitt der konformen Schutzschicht (129) längs der Kanten der Kontaktöffnung erstreckt.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt des Ausbildens der unteren Kondensatorelektrode (130) die Schritte des Ablagerns, des Dotierens und des Bemustersns einer Schicht aus Polysilicium für die Definition der unteren Kondensatorelektrode (130) umfaßt.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die untere Kondensatorelektrode (130) sich über einen verbleibenden Abschnitt der konformen Schutzschicht (129) längs der Kanten der Kontaktöffnung erstreckt.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die konforme Schutzschicht (129) Siliciumoxid enthält.

6. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt des Entferns der konformen Schutzschicht (129) wenigstens von den Abschnitten der Logikschaltungsbereiche ein Trockenätzprozeß ist.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die Gateelektroden (124) der Logik-FETs (120) und die Source- und Drainbereiche (128) der Logik-FETs (120) ungefähr für die gleiche Zeitdauer dem Trockenätzprozeß ausgesetzt werden.

8. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die Kondensatordielektrikum-Schicht eine Dielektrizitätskonstante besitzt, die höher als jene von ONO ist.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß die Kondensatordielektrikum-Schicht Tantalpentoxid enthält.

10. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die Gateelektroden (124) der Logik-FETs (120) und die Source- und Drainbereiche (128) der Logik-FETs (120) im Prozeß des Entferns der konformen Schutzschicht (129) wenigstens von den Abschnitten der Logikschaltungsbereiche im wesentlichen für die gleiche Zeitdauer einer Ätzumgebung ausgesetzt werden.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß die Ätzumgebung angeregte Fluorionen enthält.

12. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß die konforme Schutzschicht (129) ein Siliciumoxid mit einer Dicke von weniger als 2000 Å

enthält.

13. Verfahren nach Anspruch 10, gekennzeichnet durch die folgenden Schritte:

Ausbilden von Silicidschichten (140, 142) auf den Gateelektroden (124) der Logik-FETs (120) bzw. auf den Source- und Drainbereichen (128) der Logik-FETs (120) nach dem Schritt des Ausbildens einer Kondensatorelektrode (130).

14. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Kondensatordielektrikum-Schicht (132) eine Dielektrizitätskonstante besitzt, die wesentlich höher als jene von ONO ist.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß die obere Kondensatorelektrode (134) ein Metall enthält.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß die obere Kondensatorelektrode (134) Titanitrid enthält.

17. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß die untere Kondensatorelektrode (130) ein Metall enthält.

18. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die untere Kondensatorelektrode (130) im wesentlichen aus einer einzelnen Polysiliciumschicht besteht.

19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, daß die Kondensatordielektrikum-Schicht Tantalpentoxid enthält.

20. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß die konforme Schutzschicht (129) Siliciumoxid enthält.

21. Verfahren zum Herstellen einer integrierten Schaltungskomponente, die auf einem einzelnen Substrat sowohl einen eingebetteten Speicher als auch Logikschaltungen enthält,

gekennzeichnet durch die folgenden Schritte:

Ausbilden eines Substrats (100) mit Übertragungs-FETs (104), die in und auf eingebetteten Speicherbereichen des Substrats (100) ausgebildet sind, sowie mit Logik-FETs (120), die in und auf Logikschaltungsbereichen des Substrats (100) ausgebildet sind,

Ausbilden einer konformen Schutzschicht (129) über den Übertragungs-FETs (104) und über den Logik-FETs (120), wobei die konforme Schutzschicht (129) über den Gateelektroden (124) der Logik-FETs und über den Source- und Drainbereichen (128) der Logik-FETs (120) im wesentlichen die gleiche Dicke besitzt, Entfernen eines Abschnitts der konformen Schutzschicht (129), um eine Kontaktöffnung zu bilden, die einen Source- oder Drainbereich (118) eines der Übertragungs-FETs freilegt,

Ausbilden einer unteren Kondensatorelektrode (130), einer Kondensatordielektrikum-Schicht (132) und einer oberen Kondensatorelektrode (134), um einen Ladungsspeicherkondensator zu bilden, der an den Source- oder Drainbereich (118) des einen Übertragungs-FET (104) angeschlossen ist, und Entfernen der konformen Schutzschicht (129) über den Logikschaltungsbereichen.

22. Verfahren nach Anspruch 21, dadurch gekennzeichnet, daß

die konforme Schutzschicht (129) Siliciumoxid enthält, und

die untere Kondensatorelektrode (130) und die obere Kondensatorelektrode (134) durch Ätzprozesse definiert werden, die die konforme Schutzschicht (129) als Ätzsperrschicht verwenden.

23. Verfahren nach Anspruch 22, dadurch gekennzeichnet,

zeichnet, daß der Schritt des Entferns der konformen Schutzschicht (129) wenigstens von Abschnitten der Logikschaltungsbereiche ein Trockenätzprozeß ist.

24. Verfahren nach Anspruch 21, dadurch gekennzeichnet, daß die Kondensatordielektrikum-Schicht (132) eine Dielektrizitätskonstante besitzt, die wesentlich höher als jene von ONO ist. 5

25. Verfahren nach Anspruch 21, dadurch gekennzeichnet, daß die Kondensatordielektrikum-Schicht Tantalpentoxid enthält. 10

26. Verfahren nach Anspruch 21, dadurch gekennzeichnet, daß die Gateelektroden (124) der Logik-FETs und die Source- und Drainbereiche (128) der Logik-FETs im Prozeß des Entferns der konformen Schutzschicht (129) von den Logikschaltungsbereichen im wesentlichen für die gleiche Zeitdauer einer Ätzumgebung ausgesetzt werden. 15

27. Verfahren nach Anspruch 26, dadurch gekennzeichnet, daß die Ätzumgebung angeregte Fluorionen enthält. 20

28. Verfahren nach Anspruch 26, gekennzeichnet durch den folgenden Schritt:

Ausbilden von Silicidschichten (140, 142) auf den Gateelektroden der Logik-FETs (120) bzw. auf den Source- und Drainbereichen (128) der Logik-FETs (120) nach dem Schritt des Entferns der konformen Schutzschicht (129). 25

Hierzu 4 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

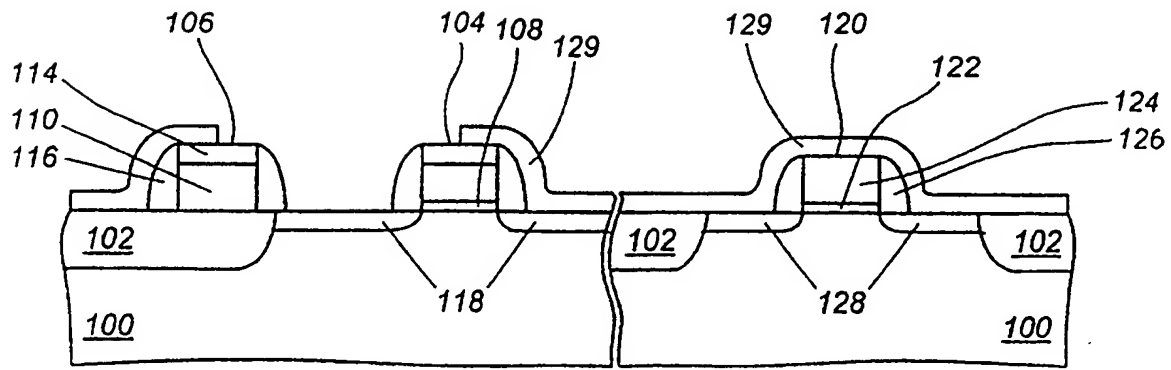


FIG. 1

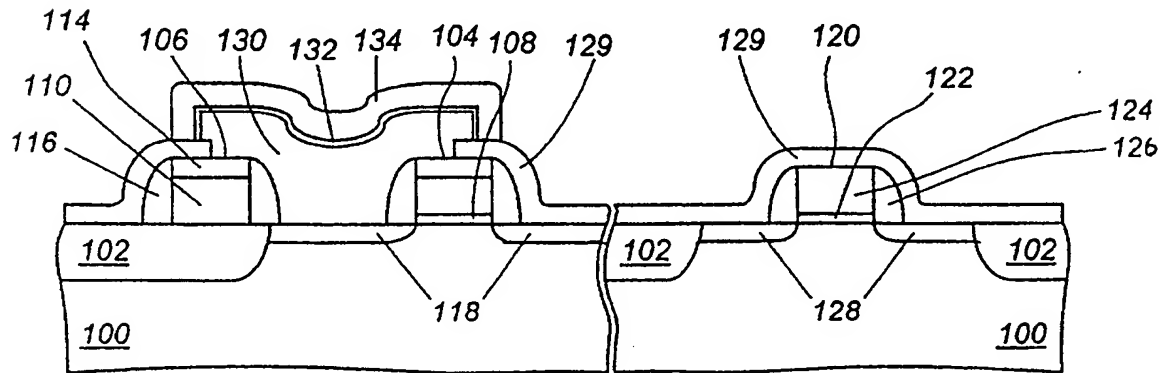


FIG. 2

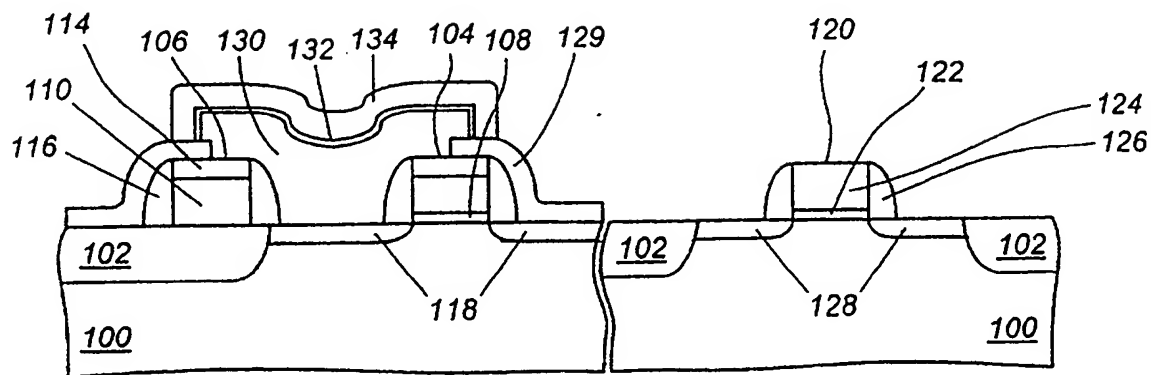


FIG. 3

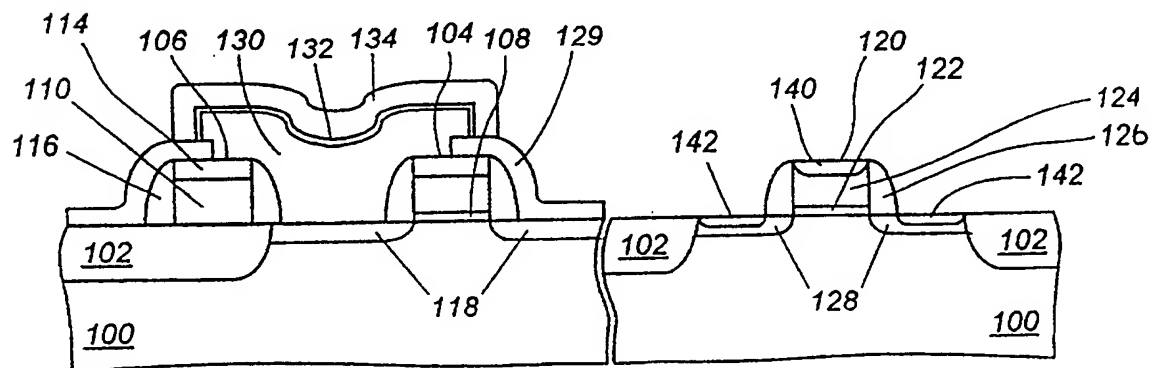


FIG. 4

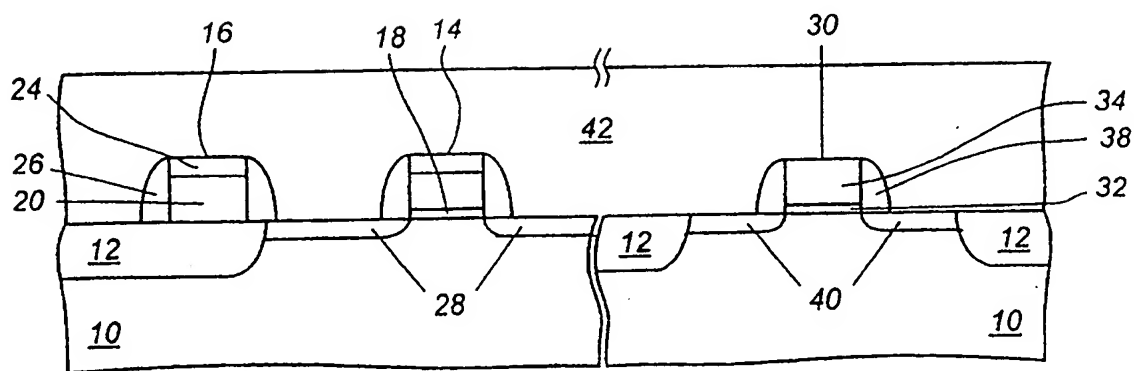


FIG. 5

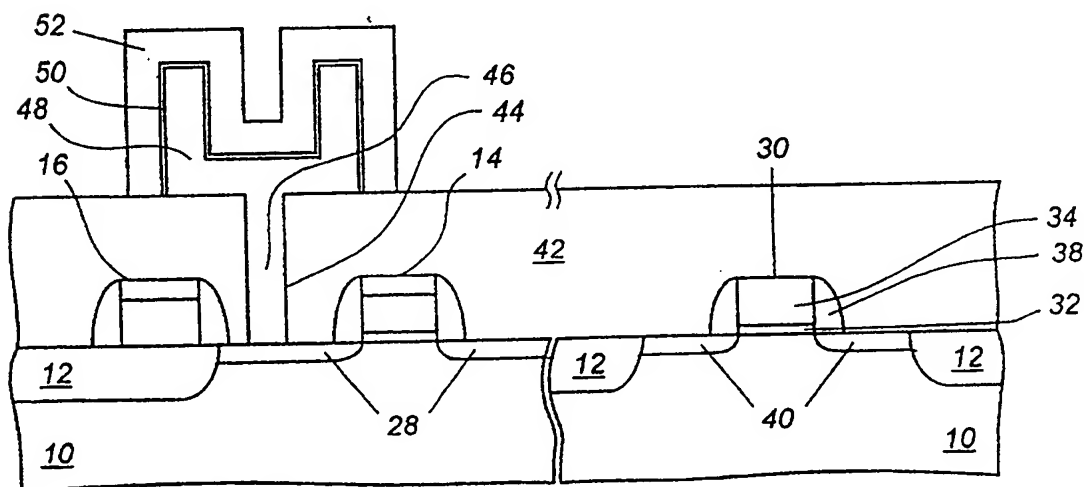


FIG. 6

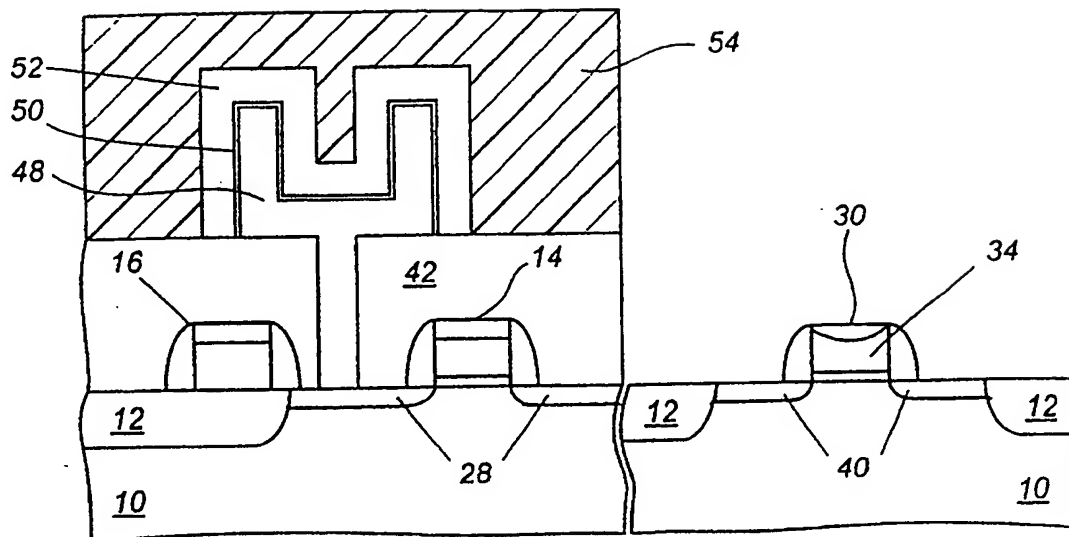


FIG. 7

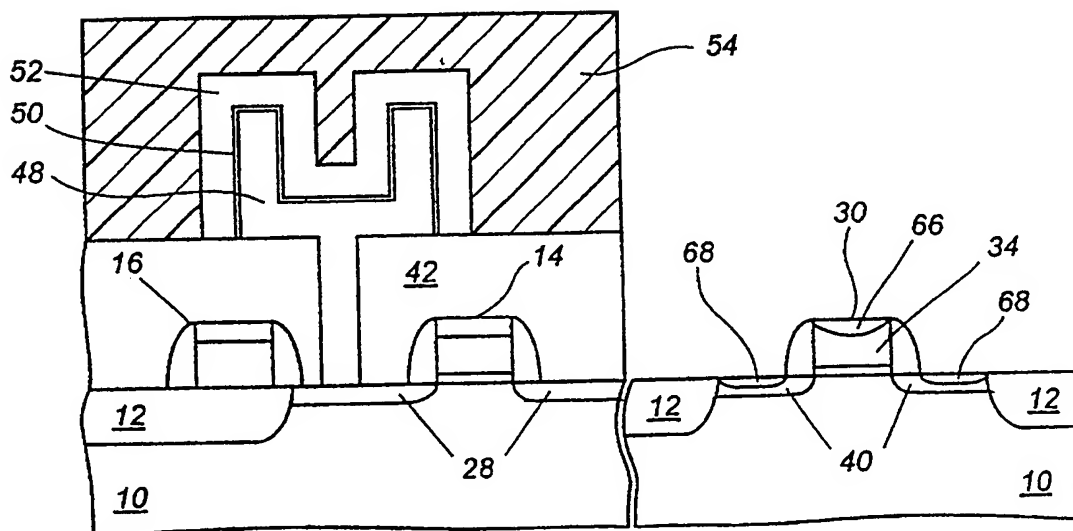


FIG. 8